JEVeC のご紹介

Japan EDA Venture Consortium 日本 EDA ベンチャー連絡会

2025年05月



はじめに

所謂「失われた 30 年」、日本に於ける半導体関連産業は、極一部の企業を除き、低迷したままにあります。 その様な状況の中、日本 EDA ベンチャー連絡会(略称: JEVeC)は、2006 年 1 月に設立されました。

2022年10月の米国による対中半導体規制に端を発し、日本政府から半導体製造に対する大型投資が行われ、半導体製造への強化策が施行されていますが、LSI設計者に対する展開は、まだまだ不十分な状況です。 JEVeC は、発足から17年間蓄積してきた会員企業の幅広い得意分野技術を半導体関連産業に係る多くの方々と共有し活用いただけるよう日々の活動に加え、2018年から「JEVeC DAY」を開催しご好評をいただいています。 JEVeC 会員企業による、手作り感満載のJEVeC DAYですが、LSI設計者など、半導体関連の方々に寄り添う内容になるよう心掛けています。 LSI設計者をはじめ半導体関連技術に係る方と、講演会・チュートリアル・展示会を通じ、関係者の相互協力・起業支援・ネットワーク作りなどに活用いただければ幸いです。

本冊子では、各 JEVeC 会員それぞれの企業が提供する得意分野とその新規技術や成熟した技術、上流設計から下流設計、デジタル設計からアナログ設計、更に製造、品質管理、サービスまでの幅広い分野への対応を紹介差し上げています。

本書、JEVeC DAY を通じ、我々JEVeC の活動をご理解いただくと共に、より一層の御支援を賜りますようお願い申し上げます。

2024 年 5 月 日本 EDA ベンチャー連絡会 会長 井上 善雄 (株式会社CDC研究所)



目次(会員番号順)

| はじめに | 2 |
|--|----|
| 株式会社アストロン | 4 |
| ケイレックス・テクノロジー株式会社 | ē |
| 株式会社ジーダット | 6 |
| 株式会社 NTT データ数理システム | 7 |
| T00L 株式会社 | 8 |
| 株式会社 ジェム・デザイン・テクノロジーズ | 9 |
| 日本コントロールシステム株式会社 | 10 |
| プロトタイピング・ジャパン株式会社 | 11 |
| 株式会社 ESL 研究所 | 12 |
| 株式会社 EQN | 13 |
| オーバートーン株式会社 | 14 |
| カミエンス・テクノロジー株式会社 | 15 |
| 株式会社インターバディ | 16 |
| 株式会社CDC研究所 | 17 |
| 日本シノプシス合同会社シリコンエンジニアリンググループ日本 R&D センター | 18 |
| 株式会社ティーツー・ラボラトリ | 19 |
| CMエンジニアリング株式会社 | 20 |
| アルデック・ジャパン株式会社 | 21 |
| 日本電気株式会社(NEC)ESS 事業センター | 22 |
| 渡邊 孝博(わたなべたかひろ)・早稲田大学・名誉教授 | 23 |
| 築山 修治 (つきやま しゅうじ)・中央大学・名誉教授 | 24 |
| 永田 真(ながたまこと)・神戸大学大学院科学技術イノベーション研究科・教授 | 25 |
| 村岡 道明(むらおかみちあき)・高知大学・名誉教授 工学博士 | 26 |
| 後藤 敏(ごとう さとし)・早稲田大学・名誉教授 | 27 |
| 金沢大学 インタフェースデバイス研究室 | 28 |
| 北澤 仁志(きたざわひとし)・東京農工大学・名誉教授 | 29 |
| 「日本 EDA ベンチャー連絡会」設立趣意 | 30 |
| JEVeC について | 33 |
| <入今のご客内> | 34 |



株式会社アストロン



事業/製品/サービス/研究内容の概要

弊社は 1988 年の設立以来、半導体業界向けにカスタムソフト開発並びにソフトウエア製品を提供し続けています。設計、レイアウト、テストから解析まで、幅広くソリューションを提案しております。

近年は、蓄積した画像処理技術を用いての画像処理関連ソフトウエアの開発も行っております。半導体業界に 限らず、建築・土木、食品、環境等様々な業界・分野にもソフトウエアをご提供しております。

【半導体カスタムソフトウエア事例】

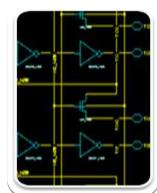
- ◇SPICE 関連(ネットリストビューア、チェッカー、抽出等)
- ◇高速 P&R (ASIC、メモリ、LCD 向け)
- ◇レイアウトエディタ
- ◇テスター用カスタムソフト (STIL、VCD、WGL 変換等)
- ◇SEM 画像からのレイアウトエッジ抽出(GDS データ作成)

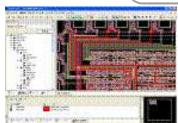
【半導体製品紹介】

- ◇GDSⅡ高速ビューア『SView』
- ◇CAD ナビゲーション『AZSA / NASFA』
- ◇セル、VIA、配線カウンティング『Marrive』
- ◇ネットリスト抽出システム『Neals』

【画像処理カスタムソフトウェア事例】

- ◇外観検査 良品/不良品検査システム開発
- ◇輝度値測定システム開発
- ◇ブルーライト測定システム試作(経済産業省プロジェクト)





| 得意分野 ◎最も得意とする分野 | 〇対応可能分野 (保有技術を3つまで記入) | |
|------------------------|--------------------------------|---|
| ()システム・回路設計/検証 | (保有技術: |) |
| (O) レイアウト・マスク設計/検証 | (保有技術:LSI/PCB P&R、フロアプラン、DRC |) |
| (O) パッケージ·ボード設計/検証 | (保有技術 : リードフレーム自動配線、BGA フロアプラン |) |
| () デバイス・プロセス設計/検証 | (保有技術: |) |
| () IP・サービス | (保有技術: |) |
| (◎)製造・検査 | (保有技術 : 故障解析、CAD ナビゲーション、外観検査 |) |
| ()その他() | (保有技術: |) |
| | | |

所在地 〒151-0061

東京都渋谷区初台 1-53-6

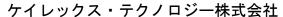
電話番号 03-6304-2181 **FAX 番号** 03-6304-2183

URL http://www.astron.co.jp

連絡先 営業 Gr.

伊佐 敏 (イサ サトシ) satoshi.isa@astron.co.jp







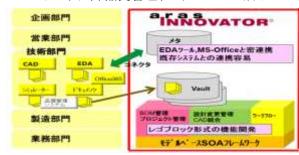
事業/製品/サービス/研究内容の概要

EDA コンサルティング、受託開発の専業企業として創業し、最近ではこれらの技術経験を発展させ PLM(Product Life Cycle Management)プラットフォーム構築サービスや、計測・画像処理システムの受託開発に重点を置いています。 その他、情報セキュリティ関連製品の展開など、見える、探す、活用する、守る IT ビジネスを推進しています。

◆ ソリューションサービス

◇ PLM(Product Life Cycle Management)プラットフォーム構築サービス

エンジニアリング・プロセスやビジネスプロセス全体の IT 化を目指し、従来よりも幅広い IT 化を提案します。 トレーサビリティ、品質管理、ドキュメント生成といったエンジニアリングデータの包括運用環境の構築をお手伝い



既存システムを活かしながら連携

BPMペースのスモール・スタート
BPM・Business Process Management
システム毎の分断データをつなぐ

業務要件変更へ俊敏対応

単一の最先端アーキテクチャ

◇ 各種 EDA ソリューションサービス

半導体の設計、製造のためのデータ変換、ツール開発、プラットフォーム構築サービスを提供

◇ 各種 IT ソリューションサービス

計測・画像分野で、ネットワーク組込み、統計/数値解析、各種画像処理技術のインテグレーションサービスを提供

◆IT 関連製品

◇ SECLANCER(シークランサ): 秘密分散システム

秘密分散法(Secret Sharing Scheme)を応用した分割ピースによるデータ保管システムで、いずれかのデータセンタ 拠点からピースデータが流出したとしても元の情報は復元できません。

得意分野

- (O) システム・回路設計 (保有技術:ツールフロー構築,ツール評価,データ変換)
- (O) レイアウト・マスク設計 (保有技術:ツールフロー構築 MDP データ変換 データベース設計)
- (O) パッケージ・ボード設計 (保有技術: CAE 環境構築 , データベース設計 , データ変換)
- () デバイス・プロセス設計/検証(保有技術:)
- (O) IP・サービス (保有技術:キャラクタライズ, CAA, ターンキー支援)
- (〇)製造・検査 (保有技術:画像処理 , 業務フロー構築 , DFM/DFT 構築)
- (◎) その他 (IT デザインサービス) (保有技術:インターネット構築サービス . データベース設計)

所在地 〒104-0042 住所 東京都千代田区入船 1-1-26 永井ビル 7F

電話番号 03-3537-1925 **FAX 番号** 03-3551-7622

URL http://www.keirex.com

連絡先 担当者名・メールアドレス : keirex-support@keirex.com 営業部宛



株式会社ジーダット



事業/製品/サービス/研究内容の概要

ジーダットは、半導体(LSI)や液晶(LCD)パネルの設計に不可欠な EDA(Electronic Design Automation)ソフトウェア の研究開発型カンパニーです。回路・レイアウトの設計ツールや数値シミュレーションツールなどを自社開発しています。

当社は2004年にセイコーインスツル株式会社(SII)から分離独立して設立された、EDA事業では30年以上の経験を持つ会社です。無借金かつ高い自己資本比率を維持した安定した経営を行い、研究開発や社員のスキルアップにも力を入れ、高度な技術に挑戦し続けています。

当社では、様々な国籍の優秀な社員が世界を視野に入れた製品開発を行っています。2005 年には中国・北京市に R & D 子会社を設立して開発を強化するとともに、世界中の優れた EDA 企業と提携し、フォーカスする分野で先行する技術を取り込んで、より価値のあるソリューションを創造しています。

◆ EDA 製品

◇ α-SX 一統合型電子デバイス設計環境-

アナログ LSI、パワー半導体、センサー、FPD(Flat Panel Display)、MEMS(Micro Electro Mechanical Systems)等、各種電子デバイスの設計を強力にサポートします。回路設計からレイアウト検証までのトータル設計フローをカバーして、マニュアル、自動、半自動等の多様な設計手法に幅広く対応しています。また最近では特に携帯機器向けのデバイス設計に不可欠な、各種解析機能の強化に取り組んでいます。

◇ HOTSCOPE 一大規模マスクデータ対応 解析ブラウザー

テラバイト規模の大規模な設計データ、マスクデータを高速にオープンし、表示倍率に関わらず高速・高品質に表示します。最近の機能拡張では、各種の解析機能を実装し、増加しつづける大規模 LSI データのチェック効率を大幅に向上させることを目指します。

◇ Cforce ー高速・高精度アナログ回路シミュレーター

アナログ回路の定数最適化およびばらつき解析に最適な、ベストコストパフォーマンス回路シミュレータです。業界トップ クラスの実行速度を達成し、汎用回路シミュレータとの互換性を提供しています。疑似過渡解析技術により安定でかつ高い 収束性を確保しつつ、高精度ソルバ技術により高精度シミュレーションを実現します。

| 得意分野 ◎最も得意とする分野 | 〇対応可能分野 (保有技術を3つまで記入) | |
|--------------------|----------------------------------|---|
| (O) システム・回路設計/検証 | (保有技術:高速回路シミュレーション技術、並列処理技術 |) |
| (◎) レイアウト・マスク設計/検証 | (保有技術:高速物理データ処理技術、電気的特性高精度抽出解析技術 |) |
| ()パッケージ・ボード設計/検証 | (保有技術: |) |
| ()デバイス・プロセス設計/検証 | (保有技術: |) |
| () IP・サービス | (保有技術: |) |
| ()製造·検査 | (保有技術: |) |
| () その他() | (保有技術: |) |
| | | |

| 4-0043 |
|--------|
| |

東京都中央区湊 1-1-12 HSB 鐵砲洲

電話番号 03-6262-8400 **FAX 番号** 03-6262-8408

URL http://www. Jedat. co. jp

連絡先 東京営業所 03-6262-8401 西日本営業所 06-6150-0930 Email: pergunta. 2008@jedat.co.jp





株式会社 NTT データ数理システム NTT DATA Mathematical Systems Inc.

事業/製品/サービス/研究内容の概要

当社は、創業以来、一貫して、シミュレーションを中心とする科学技術計算、特に、TCAD(プロセス、デバイ ス、回路シミュレータ)を中心とした半導体の設計ツールの開発に携わってきました。最近では、MEMS の機械機構 とLSIの制御回路との連成解析ツールも開発しました。

当社は高速線形計算(マトリクス計算)、並列計算など、高速演算に抜群の強みを持ち、それを利用して、比類 のない高速度計算、高精度計算、大規模計算を達成しております。また、当社が得意とする数値的最適化計算を利 用して、各種シミュレータのパラメータ最適化ツールも開発しております。

[製品案内例]

- 3次元LSI形状シミュレータ ParadiseWorld-2
 - > マスクレイアウトパタンとプロセスレシピから、Voxell モデルと独自のプロセスモデル計算式により、 広範囲の3次元LSI形状を精度よく生成する。
 - ▶ 生成されたパタンから配線を自動的に抽出し、寄生の容量、抵抗、インダクタンスを有限差分法により他 に類を見ない高速度かつ高精度で計算する。
 - ▶ Voxell 形状から他の CAD 形状ファイルに変換し、ANSYS など他のシミュレータへの連携が可能である。
- O MEMS 回路連成解析ツール MEMSpice
 - ▶ MEMS の機械解析とその制御電子回路を含めて同時に動作解析を行う、これからの MEMS 技術者に書くこと のできないツールです。
 - ▶ パラメータ最適化機能と、有限要素解析結果からのマクロモデル抽出機能をもつ。
- 高速線形回路シミュレータ LiCRSIM
 - ▶ LRC および各種電源からなる超大規模線形回路を Spice の数百倍の速さで解析する。電源網などの解析に 最適である。大規模寄生インダクタンスを含む回路が解析できる唯一のツールである。
- O SPICE ネット圧縮ソフトウエア Thyme
 - ▶ 大規模ディジタル回路から検証に必要な部分だけを取り出し、回路規模を大幅に圧縮する。

| 得意分野 ◎最も得意とする分野 | ○対応可能分野 (保有技術を3つまで記入) | |
|--------------------|--------------------------------|---|
| (○) システム・回路設計/検証 | (保有技術:線形回路シミュレータ、機械電気連成シミュレータ) | |
| () レイアウト・マスク設計/検証 | (保有技術: |) |
| ()パッケージ・ボード設計/検証 | (保有技術: |) |
| (◎)デバイス・プロセス設計/検証 | (保有技術:高速 3 D 形状作成、3D-DR チェック) | |
| () IP・サービス | (保有技術: |) |
| ()製造•検査 | (保有技術: |) |
| (O) その他 () | (保有技術:データマイニング、汎用最適化) | |
| | | |

| 所在地 | 〒160−0016 |
|-----------|------------|
| 小在州 | T 160-0016 |
| 1/1 IL-65 | 1 100 0010 |

東京都新宿区信濃町 35 番地 信濃町煉瓦館 1F

電話番号 03-3358-1701 FAX 番号 03-3358-1727

URL http://www.msi.co.jp

連絡先 科学技術部 eda-info@msi.co.jp



TOOL 株式会社



事業/製品/サービス/研究内容の概要

1970 年に株式会社トウール社として創業を開始し、2002 年に TOOL 株式会社を設立。電気系 CAD ツールから EDA (Electronic Design Automation:電気系設計作業の自動化支援)ツールまで、長年に渡り半導体の設計に関連したツールの開発および販売を行っています。

また、EDAツール開発技術に加え、IP(画像処理)分野やES(組込システム)分野における豊富な経験を活かした「開発サービス」も行っています。お客さまのご要望にお応えしながら仕様の検討から設計、開発、サポートを行い、お客様の問題解決に的確なソリューションをご提供しています。

◆ EDA 製品

♦ LAVIS-plus

レイアウト設計データを高速に読み込み表示する LAVIS-plus は、ビューアとしての用途に加え、電気特性解析や検証エラー表示、簡易編集なども行える「IC デザイン視覚検証システム」として、設計から検証、マスク製造、検査、不良解析に至るさまざまな工程でご活用いただけます。

♦ OASIS-Utility

OASIS のデータ操作や OASIS と GDS、OASIS とテキストデータとの相互変換、セルの階層展開、フォーマットおよび制限チェック、DUMP 出力、階層情報のリスト出力などといった、OASIS データ処理に有用な機能を備えた「OASIS データハンドリングツール」です。

♦ RSCALC

電源 PADなどからの抵抗値や指定した2点間の抵抗値に加え、電流密度や電流値、電位などの計算も可能な「高速抵抗値計算&解析ツール」です。計算結果はカラーマップ(分布図)として「LAVIS-plus」上に表示することもできます。

♦ MaskStudio

レイアウト設計データを最新のマスク技術に対応した描画データに超高速かつ高品質に変換する「フラクチャリングシステム」です。

| 得意分野 ◎最も得意とする分野 | 〇対応可能分野 (保有技術を3つまで記入) | |
|------------------------|-----------------------------------|---|
| ()システム・回路設計/検証 | (保有技術: |) |
| (◎) レイアウト・マスク設計/検証 | (保有技術:高速物理データ処理技術、電気特性抽出技術、並列処理技術 |) |
| ()パッケージ・ボード設計/検証 | (保有技術: |) |
| () デバイス・プロセス設計/検証 | (保有技術: |) |
| () IP・サービス | (保有技術: |) |
| ()製造·検査 | (保有技術: |) |
| ()その他() | (保有技術: |) |
| | | |

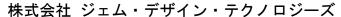
| -0051 | |
|-------|-------|
| | -0051 |

東京都目黒区上目黒 3-3-14 6F

電話番号 03-5723-8123 FAX 番号 03-3715-3628

URLhttp://www.tool.co.jp/連絡先営業部sales@tool.co.jp







事業/製品/サービス/研究内容の概要

GemPackage -- LPB 構想設計ツール

チップ・パッケージ・ボード各境界部のネット割り当てと配線の収容性を簡単操作で検討できる柔軟で強 カなプランニングツールです。主要 CAD システム、各種シミュレータ、LPB フォーマット(IEEE2401)等に 接続してデータを広く活用できるので、半導体メーカー様の協調設計ツールとして、またセットメーカー 様の構想ツールとして最適です。

GemView -- GPK ビューア

GemPackage のデータ (GPK ファイル) を表示確認できる無償ビューアです。Pro 版 (有償) には LPB フォーマ ットの入力・編集・表示・出力機能も付属するので、LPB フォーマットの受け入れ検査にもご利用いただ けます。

| 得意分野 | ◎最も得意とする分野 | 〇対応可能分野 (保有技術を3つまで記入) | |
|---------|--------------|-------------------------------------|---|
| ()シス | テム・回路設計/検証 | (保有技術: |) |
| ()レイ | アウト・マスク設計/検証 | (保有技術: |) |
| (◎) パッ | ケージ・ボード設計/検証 | (保有技術:LPB 超階層設計、スケッチアンドコンバート配線可能性検証 |) |
| () デバ | イス・プロセス設計/検証 | (保有技術: |) |
| () IP• | サービス | (保有技術: |) |
| ()製造 | •検査 | (保有技術: |) |
| ()その | 他() | (保有技術: |) |
| | | | |

| 所在地 | 〒920−1161 |
|-----|-----------|

石川県金沢市鈴見台 4-8-21

電話番号 076-254-5841 FAX 番号 076-254-5842

URL http://www.gemdt.com/

連絡先 代表取締役 村田洋(むらた ひろし)

murata@gemdt.com



日本コントロールシステム株式会社



事業/製品/サービス/研究内容の概要

当社は20年以上にわたり、半導体マスク描画装置向けの高速データ変換システムを提供し続けてます。現在はマスクデータ準備のトータルソリューションとして NDE Mask Manufacturable Suite (略称 NDE-MS) というソフトウェアスイートを提供しております。NDE-MS はポスト OPC からマスク描画までをカバーし、検査・測長装置向けデータ準備にも対応したアプリケーション群となっています。

また、当社ではこれまでマスクデータ準備で培った技術をもとに半導体装置内で利用されるソフトウェアの提供 も行っております。

【NDE Mask Manufacturable Suite に含まれるアプリケーション】

• Fracture : 様々な図形演算を含むデータ・フラクチャリングおよび変換

•MRC : マスクルールチェック

•Select : 既存レイヤ群から図形演算に基づくパターン生成

Pattern-Match : テンプレートベースのパターンマッチング
 SCRD : Curvilinear/Rectilinear 向けショット削減

PEC : ドーズ変調による近接効果補正
 MPC : バイアスによるマスクプロセス補正
 EBV : スタンドアロンで軽快なデータビューワ

【その他の製品およびサービス】

- ・パターンドメディアテンプレート描画用フォーマッタ
- ・産業用太陽光発電システム設計支援ソフトウェア i-Pals
- •3 次元画像処理ジェスチャー認識エンジン GREEEN
- ・法人向け携帯認証リモートアクセスシステム SiN-Ku

| 得意分野 ◎最も得意とする分野 | 〇対応可能分野 | (保有技術を3つまで記入) |
|--------------------|------------|-----------------------------|
| ()システム・回路設計/検証 | (保有技術: |) |
| ()レイアウト・マスク設計/検証 | (保有技術: |) |
| ()パッケージ・ボード設計/検証 | (保有技術: |) |
| () デバイス・プロセス設計/検証 | (保有技術: |) |
| () IP・サービス | (保有技術: |) |
| (◎)製造・検査 | (保有技術:分散処理 | 里、フラクチャリング、プロセス補正等) |
| ()その他() | (保有技術: |) |
| | | |

| =r -t- 1.1b | -150 0010 |
|-------------|-----------|
| 所在地 | 〒150−0013 |

東京都渋谷区恵比寿 1-20-18 三富ビル新館 5 階

電話番号 03-3443-5081 **FAX 番号** 03-3443-5189

連絡先 新横浜事業所 〒222-0033 横浜市港北区新横浜 2-7-9 TEL:045-477-5800

濱路 政和 (hamaji@nippon-control-system.co.jp)



プロトタイピング・ジャパン株式会社



事業/製品/サービス/研究内容の概要

弊社は 2003 年 10 月に設立された国内におけるプロトタイピングシステムの輸入・開発・販売及び保守を行っております。独創的な最先端 FPGA プロトタイピングテクノロジによって、ASIC 開発 TAT の短縮と開発コストを低減に寄与できることを企業理念としております。関連して周辺部品(ドータボード、ケーブル、コネクタ等)のワンストップ販売を提供して、お客様におけるシステム調達工数およびコストを削減できるお手伝いをさせていただきます。

またプロトタイピングで必要とされる EDA ツールも取り扱い、FPGA 評価ボードに必要とされるソリューションをまとめて取り扱いをしております。

【ASIC プロトタイピングシステム製品例】

- ◇インテル系 CycloneIVおよび CycloneV 搭載のエコノミータイプ DE2/DE10 シリーズ(台湾 Terasic 社)
- ◇インテル系 Stratix IV および Stratix V 搭載のミドルエンド DE4/DE5/TR4/TR5 シリーズ(台湾 Terasic 社)
- ◇Xilinx Virtex, インテル Stratix10 FPGA 搭載のハイエンドモデル (米 S2C 社)
- ◇Xilinx Virtex,インテル Stratix10 FPGA 搭載のハイエンドモデル(独 PRO DESIGN 社)

【ASIC プロトタイピングシステム周辺製品例】

- ◇V by One、DVI、HDMI等、画像処理無向けドータボート(英 Bitec 社)
- ◇コネクタおよびハイスピードケーブル (米 Samtec 社)

【EDA ツール】

- ◇FPGA オンチップ計測および RTL デバッグツール(仏 Temento 社 DiaLite シリーズ)
- ◇FPGA 用 HDL デバッガおよび CAD ナビゲーション(蘭 HDL Works 社 HDL Companion シリーズ)

| 得意分野 ◎最も得意とする分野 | 〇対応可能分野 (保有技術を3つまで記入) | |
|------------------------|-----------------------|---|
| (◎) システム・回路設計/検証 | (保有技術: FPGA プロトタイピング |) |
| () レイアウト・マスク設計/検証 | (保有技術: |) |
| () パッケージ・ボード設計/検証 | (保有技術: |) |
| () デバイス・プロセス設計/検証 | (保有技術: |) |
| () IP・サービス | (保有技術: |) |
| ()製造·検査 | (保有技術: |) |
| ()その他() | (保有技術: |) |
| | | |

| 所在地 | 〒222−0033 |
|-----|-----------|

横浜市港北区新横浜2-3-4クレシェンドビル7階

電話番号 045 - 620 - 0705 **FAX 番号** 045 - 475 - 1313

URL http://www.prototyping-japan.com/

連絡先 #上 卓也 (inoue@prototyping-japan.com)



株式会社 ESL 研究所



事業/製品/サービス/研究内容の概要 ビジョン

今後我が国で加速化する高齢化社会に対応した様々な社会システム及びそれを支える"制御機械"が要求される。並列・分散コンピューティングやクラウドコンピューティングによる無事故自動運転自動車、介護用自立ロボット等々、必要となる制御機械は多数あるが、それを効率良く設計する手段が未確立である。

当社はその要求に応え、クラウドコンピューティングや並列・分散コンピューティングを用いた実時間・複合シミュレーション技術の確立によるハイパー設計・検証環境を実現し、将来の全国民の幸福につながる社会を目指すものとする。

開発プロジェクト

- 1) 車載組込みシステムの安全性・信頼性を向上するハイブリッド検証プラットフォームの開発(2013/11~2014/5)
- メカ・アナログ回路をソフトウェア等のデジタル系回路と検証可能とするハイブリッドモデルの開発
- 2) 高速協調検証のための車載用ハイブリッドモデルの開発(2013/11~2014/2)

FPGA 上で高速実行なプログラミング言語を用いて記述したソフトウェア、ハードウェア、アナログ回路の「ハイブリッド検証モデル」の開発

3) GP-GPU を利用した大規模高速並列論理シミュレーション装置の開発(2014/9~2015/5)

「汎用デスクトップパソコン+GPU ボード」を使用した大規模高速並列論理シミュレーション環境の開発

4) FPGA を利用した高速ハードウェア論理シミュレーションエンジンの実用化開発(2014/9~2015/5)

高速な論理シミュレーションのハードウェアアルゴリズムを FPGA に実装したハードウェアシミュレータシステムの開発

- 5) 並列化による車載モータ制御ソフトウェア高速検証装置(2015/9~2016/5)
- ECU のモータ制御ソフトウェア検証を実機製作以前に行える高速検証装置
- 6) IoT プログラマブルスマートデバイスの開発(2016/7~2017/2)
- IoT デバイスの開発を短期間に行える新たなプログラマブルスマートデバイス
- 7) 複数 ECU の統合シミュレーションシステムの開発(2017/9~2019/3)

#平成 28 年度戦略的基盤技術高度化支援事業(経済産業局事業)

複数 ECU の統合シミュレーションを実機製作以前に行える「モータ制御用のデジアナ混在ハードウェアシミュレータ」の開発

| 得意分野 ※()内に、最も得意とす | る分野に◎ (1 つまで)、 | 対応可能分野に〇(| 複数可)をご記入下さい。 | |
|--------------------|----------------|-----------|--------------|---|
| ※保有技術を3つまで記入して下さい | | | | |
| (◎) システム・回路設計/検証 | (保有技術: | | |) |
| () レイアウト・マスク設計/検証 | (保有技術: | | |) |
| () パッケージ・ボード設計/検証 | (保有技術: | | |) |
| () デバイス・プロセス設計/検証 | (保有技術: | | |) |
| () IP・サービス | (保有技術: | | |) |
| ()製造•検査 | (保有技術: | | |) |
| ()その他() | (保有技術: | | |) |
| | | | | |

| 所在地 | 〒277-0074 | |
|-------------------|--------------------------------|----------------|
| 기1도 ¹¹ | 12//-00/4 | |
| | 千葉県柏市今谷上町21-3 | |
| 電話番号 | 090 -5305 -5497 FAX 番号 | 04-7175 - 4539 |
| | | 01 7170 1000 |
| URL | http://www.esl-laboratory.com/ | |
| 連絡先 | 代表取締役 染谷 勤 | |
| | | |
| | someya@esl-laboratory.com | |



株式会社 EQN

事業/製品/サービス/研究内容の概要

半導体(プロセス・デバイス)・流体・構造シミュレーター設計開発・コンサルティングを主業務としております。

国内の主要な半導体企業が共同設立した半導体先端テクノロジーズ(Selete)が開発し、その後半導体理工学研究センター(STARC)が開発を引き継いだ半導体シミュレーターの HyENEXSS の設計開発の支援を行うために設立された株式会社でしたが、近年は半導体シミュレーター(TCAD)以外の流体・構造シミュレーションにも手を広げ、OpenFOAM等の取り扱いも始めています。

- シミュレーター物理モデル設計・実装
- ACIS 等の構造データ作成関連プログラム設計・実装
- Delaunay 等の非構造や構造メッシュデータ作成関連プログラム設計・実装
- GPGPU、OpenMP、Pthread、MPI などによるプログラムの並列化・高速化
- 高速線形ソルバーのチューニング・販売
- Amazon EC2 等のコンピューティングクラウド・クラスターによるスケーラブル並列化実装

| 得意分野 ◎最も得意とする分野 | 〇対応可能分野 | (保有技術を 3 つまで記入) | |
|--------------------|------------|-------------------------|---|
| ()システム・回路設計/検証 | (保有技術: | |) |
| () レイアウト・マスク設計/検証 | (保有技術: | |) |
| () パッケージ・ボード設計/検証 | (保有技術: | |) |
| () デバイス・プロセス設計/検証 | (保有技術: | |) |
| () IP・サービス | (保有技術: | |) |
| ()製造•検査 | (保有技術: | |) |
| (○)その他(シミュレーション) | 保有技術:半導体•流 | 体・構造シミュレーション、並列高速化、メッシュ |) |
| | | | |

| 所在地 | 〒252-0331 |
|------|--------------------------------|
| | 神奈川県相模原市南区大野台 5-14-27-4 |
| 電話番号 | <u>042 - 814 - 1215</u> FAX 番号 |
| URL | http://www.eqn.co.jp |
| 連絡先 | matu@eqn. co. jp |







【事業の概要】

ASIC や FPGA などの半導体デバイス開発における設計生産性を改善するために、弊社独自の技術 NSL を核とした新たな設計手法'UML to RTL'を提唱. 設計手法の教育やコンサルティングと IP コアを含む設計プラットフォームを提供します.

- ■半導体デバイス向け設計支援ツールの開発・販売、及び教育
- ■IP 開発・販売、及び付帯するサービス(技術・開発・コンサルティングなど)の提供

【製品/サービスの概要】

◇設計ツール

製品名 NSL Overture: 開発の上流工程で用いられる仕様記述言語 UML とハードウェア記述言語による RTL(Verilog-HDL/VHDL/SystemC)をシームレスにつなぐ、ハードウェア設計の統合開発環境です.

製品名 NSL Core: 弊社独自のハードウェア記述言語 NSL から RTL を生成する合成エンジン単体に、合成オプションを設定するためのシンプルなグラフィカルユーザーインターフェイスを備えた製品です.

◇IPコア: UML/NSL で開発した IPコアです.

2D Video Display Controller : カメラ入力をバックグラウンド面とし、最大 5 画面のオンスクリーン画像の重合わせ処理をするコア.

Video over IP: MPEG TS 動画音声ストリームを Ethernet の IP ネットワークに送受信するインターフェースブリッジ機能のコア.

UART Station:実機/試作ボードで、デザインの内部状態を観測,診断,制御するための対話的なデバッグ手段を実現するコア.

◇デザインサービス:

組込システム開発のお客様に対して半導体デバイス開発の上流工程から技術や設計のサービスを提供します. 弊 社独自の設計ツールも活用し、開発の上流からお客様と連携、処理速度の高速化や開発期間の短縮など ご要求 に合わせた製品開発を実現します.

■アルゴリズムやアーキテクチャなどを含む仕様/方式検討から IP/FPGA/ASIC の開発(一式或いは部分請負)

| 得意分野 ◎最も得意とする分野 | 〇対応可能分野 (保有技術を 3 つまで記入) | |
|----------------------|------------------------------------|---|
| (○) システム・回路設計/検証 | (保有技術:通信プロトコル、コンピュータアーキテクチャ |) |
| () レイアウト・マスク設計/検証 | (保有技術: |) |
| ()パッケージ・ボード設計/検証 | (保有技術: |) |
| () デバイス・プロセス設計/検証 | (保有技術: |) |
| (◎) IP・サ ー ビス | (保有技術 : HDL による FPGA/ASIC 設計の経験と知識 |) |
| ()製造·検査 | (保有技術: |) |
| ()その他() | (保有技術: |) |
| | | |

| 所在地 | 〒222−0033 |
|-----|-----------|

神奈川県横浜市港北区新横浜 3-19-11 加瀬ビル 88 10F

電話番号 <u>045-624-9515</u> **FAX 番号** <u>045-624-9519</u>

URLhttp://www.overtone.co.jp/連絡先営業部sales@overtone.co.jp



カミエンス・テクノロジー株式会社



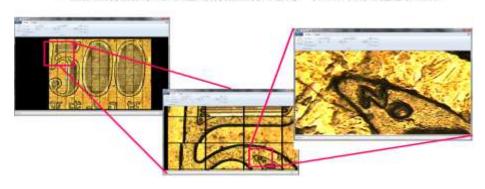
事業/製品/サービス/研究内容の概要

カミエンスは豊富な EDA ソフトウェアの開発経験を核に、国内外の企業、大学と連携しながら半導体、LSI-Package、PCB などに代表される電子機器の設計/製造に関連する先端技術ソフトウェアを開発し、電子産業界の発展に貢献します。

● Tera-Vewer の開発・販売

超大規模画像ビューワ。 複数の画像を合成表示することで、今までの常識では考えられないほどのサイズの画像を表示できます。 超大規模画像全体のフィルタリングなどの画像処理も可能です。

複数画像合成による超高精細画像の表示(サンブルは1億ピクセル)



● カスタム EDA ソフトウェアの受託設計・開発

半導体・パッケージ EDA 経験 30 年以上。あったらいいな、の EDA ツールを設計・開発します。 各種 EDA フォーマットの入出力にも対応します。

| 得意分野 ◎最も得意とする分野 C | O対応可能分野 (保有技術を 3 つまで記入) | |
|--------------------------|-----------------------------------|---|
| ()システム・回路設計/検証 (| 保有技術: |) |
| (◎)レイアウト・マスク設計/検証(| 保有技術: レイアウトデータの分析・自動加工 |) |
| (○) パッケージ・ボード設計/検証(| 保有技術: SiPの 3D-CAD 技術 |) |
| () デバイス・プロセス設計/検証(| 保有技術: |) |
| () IP・サービス (| 保有技術: |) |
| ()製造•検査 (| 保有技術: |) |
| (O) その他(画像ハンドリング) (| 保有技術: 超大規模画像ハンドリング・各種 EDA データの画像化 |) |
| | | |

所在地 〒103-0013

東京都 中央区 日本橋人形町3丁目4番2号 佐藤商事ビル 5階

電話番号 03-6231-1023 **FAX 番号** 03-6231-1023

URL http://kamiens.com

連絡先 代表取締役社長 川瀬英路 info@kamiens.com



株式会社インターバディ



事業/製品/サービス/研究内容の概要

■事業 ソフトウェア開発 EDA、組込システム他

弊社のコア技術はソフトウェア開発です。特に EDA ((Electronic Design Automation: 半導体自動設計)、 組込システムを得意としております。電子システム開発に関してもパートナーと共にお手伝いします。 EDA では、レイアウト設計、製造分野の経験が長く、レイアウト検証、フロアプランナー、論理波形エディタ、 レイアウトエディタ・ビューアなどの開発実績があり、扱えるフォーマットとしては、EDIF、LEF/DEF、GDSII、 OASIS、DXF、各種マスク描画機フォーマットなどがあります。プラットフォームとしては、Linux を含む Unix 系、

Windows 共に対応可能です。

組込システムは、対象アプリが多岐に渡りますが、Linux 系、Windows 系の組込 OS や VxWorks の経験もあります。BSP などドライバーレベルから ミドルウェア、アプリケーションまで幅広い実績があります。

電子機器開発、回路設計、または業務系、ウェブ系などについても、 パートナー企業と共にお受けできます。コンサルティング、ビジネス マッチング等含めて、課題解決でお困りの際はお問い合せ下さい。



■製品 仮想検証向け SystemC モデル SyDAP model

インターバディでは、仮想検証向け周辺モジュール(SystemC/TLM2.0 準拠)モデルを整備し、既に実ユーザに導入され仮想検証でご利用頂いております。ARM(R) Cortex(R) M4 コアのマイコン検証のため、FastModels との I/F にも対応しております。 CPU コアとはブリッジを介して TLM 仕様で I/F をしておりますので、高い相互運用性があります。

特長 ◆機能モジュール毎に独立、I/F 部コードは公開

- ◆ユーザ作成モデルも容易に組み込み
- ◆警告表示機能でレジスタ設定ミスも容易に発見
- ◆柔軟な故障注入で ISO26262 対策にも有効

ARM Cortex は ARM Ltd. の登録商標です。記載の名称は、各社の商標または登録商標です

| | ユーザルはモデル (カスタムASKモデルなど) | コアモデル | ターアットプログラム (パイナリ形式) |
|--------|----------------------------|----------|------------------------|
| N M II | SEU-EFA | (APPLIED | |
| を加藤 | Simple IAIS(System2/I | th/O | Vc0 [T] [T] |
| | 国のヤジュール セデル モデル | | 米丹林東小東水本市 |

| 得意分野 ◎最も得意とする分野 | 〇対応可能分野 (保有技術を 3 つまで記入) | |
|------------------------|--|---|
| (◎) システム・回路設計/検証 | (保有技術:SystemC モデリング、仮想検証サポート、組込ソフト |) |
| (O) レイアウト・マスク設計/検証 | (保有技術:レイアウトデータ (GDS 等) ハンドリング、GUI、高速表示 |) |
| () パッケージ・ボード設計/検証 | (保有技術: |) |
| () デバイス・プロセス設計/検証 | (保有技術: |) |
| (O) IP・サービス | (保有技術:SystemC/TLM2.0 モデル、EDA・組込ソフト開発 |) |
| ()製造•検査 | (保有技術: |) |
| ()その他() | (保有技術: |) |
| | | |

所在地 〒194-0021

東京都町田市中町 1-4-2 町田新産業創造センター

電話番号 050-3772-0225 **FAX 番号** 050-5491-8228

URL https://www.interbuddy.co.jp

連絡先 info@interbuddy.co.jp





事業/製品/サービス/研究内容の概要

株式会社 CDC 研究所は、クラウド技術を活用し、LSI 設計に関連する様々な、技術・人・環境を繋いだコミュニティーを創造し、

- ・LSI 開発に必要な開発環境をクラウド上で実現し提供
- ·LSI を使用する製品開発に必要な開発環境をクラウド上で実現し提供
- ・クラウド上に開発したプロジェクトチーム設計に対応した設計環境をベースに、テレワーク(介護、 育休、産休)、シニアエンジニア活用を推進

を行います。

提供するサービス:

"CDC クラウド・プラットフォーム"

LSI 等の電子機器開発に対応した、クラウドベースのプロジェクト設計対応の H/W システム "DC クラウド・フロントエンドシステム"

CDC クラウド・プラットフォームを制御するためのユーザーインターフェースソフトウエア "CDC の EDA ツールサービス"

CDC クラウド・フロントエンドシステム、CDC クラウド・プラットフォームで稼働する、LSI 設計向け各種ソフトウェア

| 得意分野 ◎最も得 | 意とする分野 | 〇対応可能分野 | (保有技術を 3 つまで記入) | |
|------------------|----------|--------------|-------------------|---|
| ()システム・回 | 路設計/検証 | (保有技術: | |) |
| ()レイアウト・ | マスク設計/検証 | (保有技術: | |) |
| () パッケージ・ | ボード設計/検証 | (保有技術: | |) |
| () デバイス・プ | ロセス設計/検証 | (保有技術: | |) |
| () IP・サービス | | (保有技術: | |) |
| ()製造•検査 | | (保有技術: | |) |
| (◎) その他(クラ | ウドベース環境) | (保有技術:OpenSt | ack, LSI 設計フロー構築) | |
| | | | | |
| | | | | |

| 所在地 | 〒194−0022 |
|-----|-----------|

東京都町田市森野二丁目12-17 アップルハウス町田2 101号室

電話番号 042-724-0670 **FAX 番号** 042-724-0670

URL http://www.cdc-lab.com

連絡先 井上善雄

Inoue.yoshio@cdc-lab.com





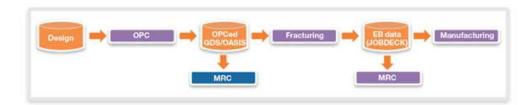
日本シノプシス合同会社シリコンエンジニアリンググループ日本 R&D センター

事業/製品/サービス/研究内容の概要

日本シノプシス合同会社シリコンエンジニアリンググループ日本 R&D センターでは、半導体マスクレイアウト検証ソフトウェア SmartMRC を中心とした、MDP 技術関連のソフトウェア・アルゴリズムの研究開発を行っております。

[SmartMRC の特徴]

- ・分散並列処理を用いた超高速マスクデータ処理
- ・現存するマスクデータフォーマットのほぼすべてについて入力・検証が可能
- ・パターン幅、スペースチェックなどの基本 MRC 機能から、高度な検証機能まで幅広くサポート
- ・他の追随を許さない、高速ファジーパターンマッチングアルゴリズムを搭載
- ・大型 FPD 向けマスクデータ変換・検証ラインナップの充実



| 得意分野 ◎最も得意とする分 | 野 〇対応可能分野 | (保有技術を 3 つまで記入) | |
|-----------------|-----------------------------|-----------------------|---|
| ()システム・回路設計/検証 | (保有技術: | |) |
| (◎)レイアウト・マスク設計/ | 検証 (保有技術 : 大規模 ⁾ | マスク・OPC レイアウトデータの高速検証 |) |
| () パッケージ・ボード設計 | ⁄検証(保有技術: | |) |
| () デバイス・プロセス設計 | ⁄検証(保有技術: | |) |
| () IP・サービス | (保有技術: | |) |
| ()製造·検査 | (保有技術: | |) |
| ()その他(|)(保有技術: | |) |
| | | | |

所在地 〒158-0094

東京都世田谷区玉川 2-21-1 二子玉川ライズオフィス

電話番号 <u>03-6746-3632</u> **FAX 番号** <u>03-6746-3503</u>

URL http://www.synopsys.com

連絡先 シリコンエンジニアリンググループ日本 R&D センター 加藤心

katok@synopsys.com



株式会社ティーツー・ラボラトリ



世界最小クラス AI エッジコンピュータ設計サービス

AI、IoT、Automobility、人や物がネットワークでつながる世界ではエレクトロニクスの技術が不可欠です。 最新の Embedded Technology を駆使した電子システム設計サービスでお客様の課題を解決致します。

最新のEmbedded Technology

- ·AI対応
- ·SOC、FPGA機能設計
- ·電子回路設計
- ギガビット高速インターフェイス





世界最小クラス、低消費電力、高性能

- Computer sub system
- Electronic circuit board
- · Embedded software

最新技術の反映



開発期間の大幅短縮

IOT smart edge & AI





Computer & Industry



開発実績

■超小型 AI エッジコンピュータ 記念切手サイズで AI 自動検出が可能





| 得意分野 | ◎最も得意とする分野 | 〇対応可能分野 (保有技術を 3 つまで記入) | |
|------------|--------------|---|---|
| (⊚) シス・ | テム・回路設計/検証 | (保有技術:Smartedge用 AI ボード、車載ネットワークボードの設計/検証 |) |
| ()レイ | アウト・マスク設計/検証 | (保有技術: |) |
| (0) パッ | ケージ・ボード設計/検証 | (保有技術:高速信号及び高密度、小型化基板レイアウト設計 |) |
| () デバ | イス・プロセス設計/検証 | (保有技術: |) |
| (O) IP • + | ナービス | (保有技術:システムボードの回路・レイアウト設計/検証サービス |) |
| ()製造 | • 検査 | (保有技術: |) |
| (0) その | 他(エッジコンピュータ設 | と計)(保有技術:小型・省電力設計、無線システム設計 |) |
| | | | |

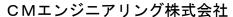
所在地 〒190-0022

東京都立川市錦町 1-4-20 TSC ビル 5F

電話番号 <u>050-6875-6663</u> **FAX 番号**

URL http://www.t2-laboratory.com

連絡先 info@t2-laboratory.com





事業/製品/サービス/研究内容の概要

CMエンジニアリングは、設立以来、LSI 設計、無線設計のサービス会社として、数多くのお客様の製品開発パートナーとして歩んで参りました。この間、IoT や AI 技術を活用した、真のお客様価値を追求したサービスへのニーズが高まっております。当社では、従来の LSI 設計や無線設計サービスのみならず、ワイヤレスセンサーネットワークを活用した商品開発やサービスを立ち上げ、システム開発での社会への貢献も進めております。

◆ FPGA/SoC 設計サービス、MATLAB 活用アルゴリズムデザインサービス

- ・お客様のご要求仕様に応じた FPGA、SoC の設計サービスの提供
- · SoC 設計の検証手法を導入し、FPGA ボードの一発完動の実現
- MathWorks 社の MATLAB を活用したアルゴリズム設計の提案
- 高位合成を活用したシステムレベル設計サービスの提供



◆ ワイヤレス、アナログ、RF デザインサービス

- ・ IEEE802. 11 準拠の WLAN IP、ITS/V2X 向けシステムなど、IP を活用した無線システムデザインの提供
- ・アナログ、デジタル混在した、ミックスド・シグナル LSI 開発サービスの提供
- ・Sub-GHz 帯 RFIC の設計資産を活用した、RFIC デザインサービスの提供
- ・システムデザインサービスの提供

◆ IoT センシングプラットフォーム "Tele-Sentient"を活用したビジネス提案

- ・超低消費電力、センシングにこだわった IoT プラットフォーム活用のビジネス提案
- ・国内外の開発パートナーと連携した、IoT アプリケーション構築
- ・センサ AFE 技術を盛り込んだ、Sensor I/F LSI の開発と共同ビジネス提案
- · RAW レベルセンサ開発パートナーとのコラボレーションによる、次世代 IoT システムの共同開発提案

| 得意分野 ◎最も得意とする分野 ○対応可能分野 (保有技術を 3 つまで記入) | |
|--|------------|
| (◎)システム・回路設計/検証 (保有技術:FPGA/SoC 設計、MATLAB 活用設計 無線通信システムデザイン | ン) |
| () レイアウト・マスク設計/検証(保有技術: |) |
| () パッケージ・ボード設計/検証(保有技術: |) |
| () デバイス・プロセス設計/検証(保有技術: |) |
| (○) IP・サービス (保有技術: IEEE802.11WLAN IP ITS/V2X IP 920MHz 無線関連資産) | |
| ()製造·検査 (保有技術: |) |
| (○) その他(IoT プラットフォーム)(保有技術:IoT システム構築 超低消費電力デザイン センサ周辺技 | (析) |
| | |

所在地 〒141-0031

東京都品川区西五反田 2-18-2 Cocoro Gotanda Bldg.

電話番号 <u>03-6420-0936</u> **FAX 番号** <u>03-6420-0937</u>

URL https://cmengineering.co.jp/

https://telesentient-iot.com/

連絡先 営業部 cme-sales@cmengineering.co.jp



アルデック・ジャパン株式会社



事業/製品/サービス/研究内容の概要

アルデックは、最新の言語仕様および検証手法をサポートする実績ある EDA ソリューションプロバイダです。 統合化デザイン開発検証環境、CDC/RDC 検証、業界標準ルールを用いた DRC、Xilinx Zynq シリーズまたは Microchip PolarFire を搭載した組み込みシステム評価ボード、最新大規模 FPGA を搭載した各種評価ボードお よび同ボードを使用した検証環境構築ツール、高信頼性アプリケーション向けコンプライアンスツールセット 等を取り扱っています。

- ●Active-HDL: Windows で動作するチーム環境向け FPGA デザインおよびシミュレーションの統合環境です。本製品は、HDL グラフィカルデザインツールと RTL ゲートレベル混合言語シミュレータで構成され、FPGA デザインの開発から検証までが短期間で実行可能です。
- ●Riviera-PRO: 次世代の最先端 FPGA および SoC デバイスを作成するエンジニアの検証ニーズに対応します。本製品は高性能シミュレーションエンジンや多様な高度デバッグ機能を組み合わせることにより、テストベンチの生産性、再利用性の向上、および自動化を可能にします。
- ●ALINT-PRO: RTL と合成後のシミュレーションミスマッチ、合成に最適なコーディング、下流デザイン工程での問題回避、ポータビリティと再利用を考慮したコーディングなどを中心に、RTL コードを静的に解析する検証ソリューションです。
- ●HES ボード: SoC/ASIC プレシリコンフィジカルプロトタイピングおよびハードウェアエミュレーションなどの豊富な機能を備えたファミリです。Xilinx(Virtex UltraScale+、Virtex UltraScale、Zynq UltraScale+、Virtex-7)または Microchip (PolarFire、SmartFusion2) の高性能デバイスを搭載したボードを提供します。
- ●TySOM ボード:エンベデッドプロトタイピングボードファミリです。ボードに応じて Xilinx Zynq UltraScale+、Xilinx Zynq-7000、Microchip PolarFire SoC の 3 つの FPGA のうち 1 つが心臓部となります。本製品は、自動車(特に ADAS)、人工知能(AI)、機械学習(ML)、エンベデッドビジョン、エンベデッド HPC(エッジプロセッシングを含む)、IoT、IIoT、産業オートメーションなどのアプリケーションの迅速な開発に最適です。
- ●FMC ドーターカード: 汎用コネクタである FMC(Vita 57.1 Standard)を介して HES ボードや TySOM ボードに接続し、PCI Express や NVMe などの追加機能や多彩なインタフェースの機能拡張を提供します。

| 1 | 得意分野 | ◎最も得意とする分野 | | 〇対応可能分野 (保有技術を3つまで記入) | |
|---|---------|---------------|---|------------------------------------|---|
| | (◎) シ | ステム・回路設計/検証 | | (保有技術:論理件検証(シミュレーション、エミュレーション、DRC) |) |
| | () レ | イアウト・マスク設計/検討 | Œ | (保有技術: |) |
| | () / 3 | ッケージ・ボード設計/検証 | | (保有技術: |) |
| | () デ | バイス・プロセス設計/検討 | Œ | (保有技術: |) |
| | () IP | ・サービス | | (保有技術: |) |
| | ()製法 | 告・検査 | | (保有技術: |) |
| | (0)その | O他(DO-254 |) | (保有技術:D0-254 コンプライアンスのサポート |) |
| | | | | | |
| | | | | | |

所在地 〒160-0023

東京都新宿区西新宿 3-3-13 西新宿水間ビル 6F

電話番号 03-6693-4146 **FAX 番号** 03-4563-9760

URL http://www.aldec.com/jp 連絡先 sales-jp@aldec.com



【賛助会員】

日本電気株式会社 (NEC) ESS 事業センター



事業/製品/サービス/研究内容の概要

LSI/FPGAのC言語設計を世界に先立って実用化し、2001年以来ツールの外販を行っております。また、近年ではC言語からのFPGA/ASICの受託設計や、FPGA/ASIC向けの画像処理C記述販売等も行っております。

[CyberWokrBench]

ANSI-C、SystemC 記述から、FPGA/ASIC 向けに最適化された RTL(Verilog/VHDL)を合成する高位合成ツールと、Cソース上で、機能及びタイミング(サイクル動作)の検証、デバッグ、形式検証が行える検証ツール群、操作や結果解析用のGUI 等からなる統合設計ツール群です。「All-in-C」コンセプト(制御系もデータ系も C 言語で設計、機能もタイミングも C 言語で検証)を実現する唯一のツールです。

- =CyberWorkBench を導入した効果=
 - 1) 設計期間、設計工数の大幅短縮(設計コスト削減) RTL 記述に比べ C 記述は数分の一の記述量で、数百倍の高速検証が可能
 - 2) 面積、電力の削減(製造コスト削減) 一つの C 記述から様々なアーキテクチャを探索できるため、設計制約にフィットした回路を出すことができ、 RTL 設計よりコストの低いチップの設計が可能(特にコンシューマ分野)
 - 3) 信頼性向上
 - C 言語から直接合成可能なこと、また行数が少なく、検証が高速、検証網羅率が高くしやすい等により信頼度の 向上が可能
 - 4) H/W 部分の仮想化と組み込みソフトウェアの早期開発(協調検証) 合成可能な C 記述は、組み込みソフト用の仮想環境として利用可能。また、CWB はサイクル精度のモデルも合成 するため、バス混雑度のチェックや割り込み等のタイミングが必要な検証も可能
 - 5) アルゴリズム設計者による FPGA 開発
 - C・C++記述からの合成が可能なため、H/W の基礎を学べば RTL 無で FPGA が設計可能。RTL 設計者が開発するより効率的な開発が可能

| 得意分野 ◎最も得意とする分野 | 〇対応可能分野 (保有技術を3つまで記入) | |
|--------------------|--------------------------------------|---|
| (◎)システム・回路設計/検証 | (保有技術:高位合成、高位検証、ソースデバッガ、形式検証等) | |
| ()レイアウト・マスク設計/検証 | (保有技術: |) |
| () パッケージ・ボード設計/検証 | (保有技術: |) |
| () デバイス・プロセス設計/検証 | (保有技術: |) |
| (O) IP・サービス | (保有技術:C言語からRTLへの受託設計、画像処理等のCレベルのIP群) | |
| ()製造·検査 | (保有技術: |) |
| ()その他() | (保有技術: |) |
| | | |

| 所在地 | 〒211-8666 |
|-------------|-----------|
| 所 住地 | T211-8000 |

川崎市中原区下沼部 1753 S 棟 24F ESS 事業センター

電話番号 044-435-9486 **FAX 番号** 044 -435 - 9491

URL http://jpn.nec.com/cyberworkbench/

連絡先 CWB 問い合わせ窓口 info@cad. jp. nec. com



事業/製品/サービス/研究内容の概要

LSI および PCB の設計効率と設計品質の向上を目指して、システムのアーキテクチャ、EDA 技術、高性能・低消費電力化技法、および、応用の研究開発を行っています。

【キーワード】

ネットワークオンチップ (NoC)、プロセッサ、キャッシュ、低電力設計、RDL 配線、等長配線

【最近の主な論文/記事/展示等の公開物】

- •X. Jiang, L. Zeng, T. Watanabe: "A Sophisticated Routing Algorithm in 3D NoC with Fixed TSVs for Low Energy and Latency," IPSJ Trand.SLDM, 2014(to appear)
- ・亀井,渡邊,川北: "LVS の出力情報を活用した VLSI 電源配線幅の高速検証システム,"信学論. J96-D 5, 2013 年 5 月
- •X. Jiang, R. Zhang, T. Watanabe: "An Efficient Algorithm for 3D NoC Architecture Optimization," IPSJ Trans.SLDM, 6, 34–41. Feb. 2013
- •C. Li, Y. Dong, T. Watanabe: "Region Oriented Routing FPGA Architecture for Dynamic Power Gating," IEICE Trans. Fudamentals.E95-A. Dec.2012
- Y. Dong, C.Li, Z.Lin, H.Zhang, T. Watanabe: "High Performance Feedforward Neural Network Mapped by NoC Architecture with a New Routing Strategy Implementation Method," J. Signal Processing, vol.15, No.3, pp.113-122, Mar. 2011
- •J. Ye, Y. Wan, T. Watanabe: "A New Recovery Mechanism in Superscalar Microprocessors by Recovering Critical Misprediction," IEICE Trans.Fund. Electoronics, Comm. Computer Sciences, E94-A/12,2639-2648, Dec. 2011

| 得意分野 ◎最も得意とする分野 | 〇対応可能分野 (保有技術を3つまで記入) | |
|--------------------|------------------------------------|---|
| (○) システム・回路設計/検証 | (保有技術:低電カキャッシュ構成、NoC 構成技術 |) |
| (◎)レイアウト・マスク設計/検証 | (保有技術:LSI/PCB 自動配置・配線、レイアウト検証、寄生抽出 |) |
| (○) パッケージ・ボード設計/検証 | (保有技術:フリップチップの RDL 配線アルゴリズム |) |
| () デバイス・プロセス設計/検証 | (保有技術: |) |
| () IP・サービス | (保有技術: |) |
| ()製造·検査 | (保有技術: |) |
| () その他 () | (保有技術: |) |
| | | |

| 所在地 | 〒808−0135 |
|------|------------|
| カルエル | 1 000 0100 |

北九州市若松区ひびきの 2-2 情報生産システム研究センター 305 号 渡邊研

電話番号 080-1936-5821 (研究センター(代) 093-692-5396) **FAX 番号** 093-692-5021

URLhttp:// www.f. waseda.jp/watt/連絡先渡邊孝博watt@waseda.jp



築山 修治 (つきやま しゅうじ)・中央大学・名誉教授

事業/製品/サービス/研究内容の概要

アルゴリズム開発に興味を持ち、ディジタル回路設計技術の高性能化・高効率化、ならびに小型液晶ディスプレイ用駆動回路の回路設計手法の研究などを行っています。

【キーワード】

統計的設計手法,静的遅延解析,最適配線手法,液晶駆動回路設計,NMOS 単チャネル回路

【最近の主な論文/記事/展示等の公開物】

- ・ 水津 太一, 築山 修治, "小型 SoG-LCD の入力信号配線に対する最適設計手法とその評価", 信学論 A, vol.J97-A, no.7, pp.519-527, 2014.
- Shuji Tsukiyama, Masahiro Fukui, "A new delay distribution model with a half triangular distribution for statistical static timing analysis," IEICE Trans. Fundamentals, vol.E96-A, no.12, pp.2542-2552, 2013.
- Shuji Tsukiyama, Masahiro Fukui, "A statistical maximum algorithm for Gaussian mixture models considering the cumulative function curve," IEICE Trans. Fundamentals, vol.E94-A, no.12, pp.2528-2536, 2011.
- Shingo Takahashi, Shuji Tsukiyama, Masanori Hashimoto, Isao Shirakawa, "A sampling switch design procedure for active matrix liquid crystal displays," IEICE Trans. Fundamentals, vol.E89-A, no.12, pp.3538-3545, 2006.
- 比嘉晋士,栗田知拓,築山修治, "小型液晶ディスプレイ駆動回路用 nMOS ダイナミックシフトレジスタとその評価", 信学技報 VLD2013-137, 2014.
- ・ 佐々木大介, 築山修治, 松永真理子, 高橋真吾, "直列接続された組電池の統計的寿命解析手法について", 信学技報 VLD2013-138, 2014.
- 築山修治,神戸尚志,福井正博,ビジュアルに学ぶディジタル回路設計,コロナ社,2010.

| 得意分野 ◎最も得意とする分野 | ○対応可能分野 (保有技術を3つまで記入) | |
|------------------------|----------------------------------|---|
| (○) システム・回路設計/検証 | (保有技術: NMOS 単チャネル回路 |) |
| (◎) レイアウト・マスク設計/検証 | (保有技術: 統計的静的遅延解析手法,最適配線手法,GP-GPU |) |
| ()パッケージ・ボード設計/検証 | (保有技術: |) |
| () デバイス・プロセス設計/検証 | (保有技術: |) |
| () IP・サービス | (保有技術: |) |
| ()製造・検査 | (保有技術: |) |
| (O) その他 () | (保有技術: 組電池の寿命解析手法 |) |
| | | |
| | | |

| 所在地 | Ŧ | |
|--------------|-------|--------------------------|
| 電話番号 IIRI | | _ FAX 番号 |
| 連絡先 | 築山修治 | tsuki@elect.chuo-u.ac.jp |
| 電話番号 URL | · | |





永田 真(ながたまこと)・神戸大学大学院科学技術イノベーション研究科・教授

事業/製品/サービス/研究内容の概要

VLSI システムのノイズ問題全般について幅広く研究開発を進めています。具体的には、

- ① VLSI チップ内の回路動作による電源ノイズ発生、チップ・パッケージ・ボード統合系におけるノイズ伝搬、 チップ内の回路間におけるシリコン基板を経由したノイズ結合と干渉など、VLSI チップの設計工程において 考慮すべきノイズ事象の解明と対策およびシミュレーション方法の追求
- ② VLSI チップのノイズが深く関与するエレクトロニクス機器の外部指標への対応、例えば、電磁環境両立性 (EMC):ノイズ発生とノイズ耐性に関する国際標準とチップ開発の整合、ハードウェアセキュリティ:ノイズを伝わる情報漏えいやノイズを使ったサイバー攻撃の理解と対策、他
- ③ VLSI チップのノイズを低減する新材料や新構造の導入など、先端実装技術の探索とノイズを意識した設計へのフィードバック

等をトピックに、先進性と実応用をモットーとして国内外の企業様と連携した研究活動を展開しております。

【キーワード】VLSI システムのノイズ、オンチップノイズモニタ、シグナル・パワーインテグリティ、基板クロストーク、電磁環境両立性(EMC)、サイドチャネル情報漏洩、先端実装、三次元積層と TSV、ノイズ吸収材料、等。

【最新の研究成果】

- [1] "Chip Level Simulation of Substrate Noise Coupling and Interference in RF ICs with CMOS Digital Noise Emulator," IEICE Trans. Electronics, Vol. E97-C, No. 6, pp. 546-556, June 2014. 【上記分野①】
- [2] "AC Power Supply Noise Simulation of CMOS Microprocessor with LSI Chip-Package-Board Integrated Model," IEICE Trans. Electronics, Vol. E97-C, No. 4, pp. 264-271, Apr. 2014. 【上記分野①】
- [3] "Power Noise Measurements of Cryptographic VLSI Circuits Regarding Side-Channel Information Leakage," IEICE Trans. Electronics, Vol. E97-C, No. 4, pp. 272-279, Apr. 2014. 【上記分野②】
- [4] "Measurements and Analysis of Substrate Noise Coupling in TSV based 3D Integrated Circuits," IEEE Trans. Components, Packaging and Manufacturing Technology, Vol. 4, No. 6, pp. 1026-1037, June 2014. 【上記分野③】

| 得意分野 ◎最も得意とする分野 | 〇対応可能分野 (保有技術を3つまで記入) | |
|-------------------|------------------------------------|-----|
| (◎) システム・回路設計/検証 | (保有技術:電源ノイズ・基板ノイズシミュレーション、チップ評価・解 | !析) |
| () レイアウト・マスク設計/検 | 证(保有技術: |) |
| (○) パッケージ・ボード設計/検 | 証(保有技術:チップ・パッケージ・ボード協調シミュレーション・統合設 | (計) |
| () デバイス・プロセス設計/検 | 证(保有技術: |) |
| (O) IP・サービス | (保有技術 : オンチップモニタ |) |
| ()製造•検査 | (保有技術: |) |
| ()その他(|)(保有技術: |) |
| | | |

| 所在地 | 〒657-8501 |
|-----|-----------|

神戸市灘区六甲台町 1-1

電話番号 <u>078-803-6569</u> **FAX 番号** <u>078-803-6221</u>

URL http://www.edu.kobe-u.ac.jp/stin-secafy/index.html

連絡先 永田 真

nagata@cs.kobe-u.ac.jp



村岡 道明(むらおかみちあき)・高知大学・名誉教授 工学博士

事業/製品/サービス/研究内容の概要

システムやLSIの設計自動化を目指した技術の研究開発を行っています。研究分野としては、システム・アーキテクチャ設計や機能・論理設計の設計自動化技術、および、GPUやマルチコアプロセッサを用いた並列処理によるEDAアルゴリズムの高速化などを進めています。また、医療情報に関する分散データベースや医療データ解析技術についても研究を進めています。

【最近の主な研究内容や主要論文/研究発表】

<システム・アーキテクチャ設計技術の研究>

システムや LSI のシステム・アーキテクチャ設計に関する EDA 技術の研究開発を進めています。

- ・システムやアーキテクチャ設計(高位設計)の自動化技術(DA)の研究開発として、通産省/NEDO 委託プロジェクト(プロジェクト名:「システムオンチップ先端設計技術の研究開発」)を推進しました。期間: 2000 年 4 月~2004 年 3 月。
- ・最近は、車載電子制御システムの EDA として必要とされる大規模システム検証技術やメカ/アナログ/デジタル/ソフトウェアのハイブリッド検証技術の研究開発を手がけています。

<機能・論理設計の EDA 技術の研究>

・並列処理技術による高速検証の実現

GPU やマルチコアプロセッサを用いた並列処理による機能・論理検証の高速化技術の研究開発を進めており、車載電子制御システムなどの大規模システムの検証の高速化を目指しています。

・動的クロストーク解析技術

システムやLSIのクロストークを動的に効率よく解析・検証を可能とする技術の研究を行ってきました。

<医療情報技術の研究>

・医療用分散データベース

複数の病院間(異種のデータベース間)で医療データの交換を可能とする分散データデースの研究を進めてきました。

・医療データ解析の研究

医療用 DWH(データベース)内の診療データや検査データを用いたデータ解析の研究を行ってきました。例として、投薬とその効果を関係を調べるためのデータ解析の研究なども進めてきました。

| 得意分野 | ◎最も得意とする分野 | 〇対応可能分野 (保有技術を3つまで記入) | |
|---------|---------------|--|---|
| (◎) シブ | ペテム・回路設計/検証 | (保有技術:システム・アーキテクチャ生成技術 |) |
| (0) レイ | ′アウト・マスク設計/検討 | E(保有技術:クロストーク解析 |) |
| (O) パッ | ケージ・ボード設計/検討 | E(保有技術:FPGA向アルゴリズム |) |
| ()デノ | バイス・プロセス設計/検討 | E(保有技術: |) |
| (O) IP• | サービス | (保有技術: |) |
| ()製造 | : • 検査 | (保有技術: |) |
| (0) その |)他(| (保有技術:GPU やマルチコア による並列アルゴリズムを用いた高速処理技術 |) |
| | | | |
| | | | |

| | <u> </u> |
|------|---------------------------------------|
| 所在地 | Ŧ |
| | |
| 電話番号 | FAX 番号 <u></u> |
| URL | http://www.is.kochi-u.ac.jp/~muraoka/ |
| 連絡先 | muraoka@is.kochi-u.ac.jp |
| | |



後藤 敏(ごとう さとし)・早稲田大学・名誉教授

| 車業/ | /制品 | /#- | ビス | /研究内容の | かった。 |
|-----------------|-----|-----|----|--------|------|
| 47 3 6 / | | | | | |

※事業や製品・サービス、または研究内容等を記入して下さい。画像は2枚程度まで張付可とします。

学歴 1968年 早稲田大学理工学部電気通信学科 卒業

1970年 早稲田大学大学院理工学研究科電気工学専攻 修士課程修了

1977年 早稲田大学 工学博士

職歷 1970年 日本電気株式会社 中央研究所 入社

C&C システム研究所応用システム研究部長、情報メディア研究所長、理事、

支配人(兼) 情報通信メディア研究本部長 等を歴任

2003年 早稲田大学大学院情報生産システム研究科 教授

2015年 早稲田大学退職、早稲田大学名誉教授

スイス連邦大学研究アドバイザー、上海交通大学客員教授、

清華大学客員教授、中山大学客員教授

受賞歷 電子情報通信学会業績賞、人工知能学会業績賞、ICCC 最優秀論文賞、

IEEE CAS Jubliee Medal、 半導体オブザイヤ優秀賞、IEEE VLSI-DAT 最優秀論文賞等電子情報通信学会論文賞

役職等 文部科学省科学技術振興調整費審查委員、21 世紀 CoE 委員、

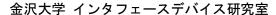
農林水産省農林水産会 議情報部会委員、経済産業省・産業技術総合研究所レビューボード委員、 NEDO 技術委員等

研究分野 マルチメデイア LSI (動画像符号化、物体認識、誤り訂正符号化、暗号のアルゴリズムとアーキテクチャ設計と LSI(化)

| 得意分野 ◎最も得意とする分野 | 〇対応可能分野 | (保有技術を 3 つまで記入) | |
|------------------------|-----------|---------------------|---|
| (○) システム・回路設計/検証 | (保有技術: | |) |
| (○)レイアウト・マスク設計/検討 | 亚(保有技術: | |) |
| ()パッケージ・ボード設計/検証 | (保有技術: | |) |
| () デバイス・プロセス設計/検証 | (保有技術: | |) |
| () IP・サービス | (保有技術: | |) |
| ()製造·検査 | (保有技術: | |) |
| (O) その他 () | (保有技術: 画像 | g処理アルゴリズムとアーキテクチャ) |) |
| | | | |

| 所在地 | 〒 |
|------|--|
| 電話番号 | FAX 番号 |
| URL | https://ejust.edu.eg/vice-president-of-research/ |
| 連絡先 | メールアドレス goto@waseda.jp |







事業/製品/サービス/研究内容の概要

金沢大学 インタフェースデバイス研究室(秋田研:理工学域電子情報学類)では、集積回路の応用分野やユーザの拡大を通して、集積回路技術やその設計ツール・技術の利用層の拡大、多様化を目指して、研究活動を行っています。

集積回路の設計製造技術の高度化にともなって、そのユーザが高度に専門化し、また設計製造の費用面でも高額になったことで、ユーザの多様性が失われつつあります。このような状況だからこそ、集積回路の設計製造にかかわる人々が多様化することで、潜在的なユーザ層を切り開くことが、結果として集積回路の設計製造に関わる分野の活性化につながると信じています。

| | 〇対応可能分野 (保有技術を 3 つまで記入) (保有技術: CMOS 回路設計・イメージセンサ設計 |) |
|--------------------|---|---|
| () レイアウト・マスク設計/検証 | (保有技術: |) |
| (◎)パッケージ・ボード設計/検証 | (保有技術:プリント基板設計・部品実装 |) |
| () デバイス・プロセス設計/検証 | (保有技術: |) |
| () IP・サービス | (保有技術: |) |
| ()製造·検査 | (保有技術: |) |
| ()その他() | (保有技術: |) |
| | | |

| 所在地 | 〒920−1192 |
|---------|------------|
| 771 E-0 | 1 020 1102 |

金沢市角間町 金沢大学理工学域電子情報学類

電話番号 <u>076-234-4864</u> **FAX 番号** <u>076-264-6404</u>

URL http://ifdl.jp

連絡先 秋田純一 (<u>akita@is.t.kan</u>azawa-u.ac.jp)



北澤 仁志 (きたざわひとし)・東京農工大学・名誉教授

事業/製品/サービス/研究内容の概要

動画像の解析、特に、監視カメラ映像の自動解析、および、FPGA を用いた画像処理ハードウェアや DNN の高速学習手法の研究開発を行っています。

- ・移動物体の抽出と追跡 (トラッキング)
- ・機械学習による移動物体の識別
- ・プライバシー保護のためのマスキングと復元
- ・FPGA による複数カメラ映像のトラッキング・ハードウェア
- Deep Neural Network (DNN) の学習手法
- FPGA による DNN の高速処理ハードウェア

【最近の主な論文/記事/展示等の公開物】

- [1]渡部, 高木, 大塚, 北澤: Forward 計算と Genetic Algorithm による BinaryWeight 可変構造 DNN の最適化, 情処大会 2017.3. 1P-04.
- [2]高木、渡辺、大塚、北澤:Genetic Algorithm に基づく BinaryWeight 可変構造 DNN の高速学習ハードウェア、情処大会 2017.3. 1P-05.
- [3] Shunpei Takaki and Hitoshi Kitazawa, "Multi-stream Tracking Hardware with DNN Object Classifier using FPGA", International Workshop on Advanced Image Technology 2017 (IWAIT 2017), 5A-18, 2017.
- [4] Ning Li, Shunpei Takaki, Yoichi Tomioka and Hitoshi Kitazawa, "A Multistage Dataflow Implementation of a Deep Convolutional Neural Network Based on FPGA For High-Speed Object Recognition", 2016 IEEE Southwest Symposium on Image Analysis and Interpretation, pp. 165-168, 2016.
- [5] Yoichi Tomioka, Hikaru Murakami, Hitoshi Kitazawa, "Sunshine-Change-Tolerant Moving Object Masking for Realizing both Privacy Protection and Video Surveillance", IEICE Trans. Vol. E97-D, No. 9, 2014.
- [6] Yoichi Tomoka, Ryota Takasu, Takashi Aoki, Eiichi Hosoya, Hitoshi Kitazawa, "FPGA Implementation of Exclusive Block Matching for Robust Moving Object Extraction and Tracking", IEICE Trans. E97-D No. 3 2014.

| 得意分野 ◎最も得意とする分野 | 〇対応可能分野 (保有技術を 3 つまで記入) | |
|--------------------|----------------------------------|---|
| (○) システム・回路設計/検証 | (保有技術: FPAG を用いた並列処理 |) |
| () レイアウト・マスク設計/検証 | (保有技術: |) |
| ()パッケージ・ボード設計/検証 | (保有技術: |) |
| () デバイス・プロセス設計/検証 | (保有技術: |) |
| () IP・サービス | (保有技術: |) |
| ()製造·検査 | (保有技術: |) |
| (◎)その他() | (保有技術: 動画像処理, DNN のアルゴリズムとハードウェア |) |
| | | |
| | | |

| 所在地 | 〒166-0002 | | | |
|-----|---------------|------------------|--------|--|
| | 東京都杉並区 | 高円寺北2-13-1 | | |
| | 電話番号 | 050-7555-9987 | FAX 番号 | |
| URL | http:// | | | |
| 連絡先 | h_kitazw@ymai | l. plala. or. jp | | |
| | kitazawa@cc.t | uat. ac. jp | | |
| | | | | |



「日本 EDA ベンチャー連絡会」設立趣意

私たちは、日本の EDA の発展を目的として、最新技術情報の交換および共有、技術者間の人的交流および連携の模索、ベンチャー支援等に関わることを企画し、2006 年 1 月、日本 EDA ベンチャー連絡会(略称: JEVeC)を設立いたします。

日本の電子工業は、セットメーカー、電子部品メーカー、材料メーカー、装置メーカー、デザインハウスから構成され、いずれもその技術や製品においてグローバルな競争力を有し、これらの総合力が日本の力の源泉の一つとなっております。その中において、これらの製品開発の重要要素である製品企画および設計において、競争力に直結する不可欠の役割を担う EDA は、その多くを米国製品に依存し、日本の EDA は産業として電子工業の中で相対的に弱小な存在であります。

また、電子デバイスの機能規模拡大に伴う検証や、ソフトウエア協調設計における諸難題、低消費電力とハイスピード双方への高い要求、微細化の進展と歩留まり向上、開発期間の短縮等、開発者の抱える課題は増大する一方であります。こうした課題は EDA と歩調を合わせて実際的に解決していくことが極めて有効であるものの、残念ながら現在はこうした EDA が日本国内にバランスよく育っていないのが実状となっております。

他方、電子デバイス業界の内部で活躍していた優秀な EDA 技術者や大学の先生方が多数 EDA ベンチャーを創業するなど、新しい流れも生まれつつあり、技術内容も上流設計から DFM まで大きく広がっております。米国大手企業の寡占の中で、個別技術要素に強い日本の EDA が成長していくためには、この流れを更に大きなものにしていくことが望まれますが、幸い、国レベルでは半導体業界を始めとして、電子工業全体の発展のために様々な施策が打たれております。EDA もこうした施策の輪の中に積極的に参入し、日本の電子工業のピラミッドの中に定位置を占めるべく、その実力を大きく高めていく必要があります。

その実現のため、日本で EDA 開発に携わっている私たちが、お互いを知り合い、切磋琢磨し、互いの強みを活かした連携を模索し、単独では成し難い成長を目指して知恵を絞り合い協力する場として、本会を設立いたします。本会では、下記の活動を通し、日本において EDA 開発を行っているベンチャー企業・



部門会員相互の交流だけではなく、官公庁や大学、あるいは海外の EDA 関連研究機関、さらには顧客内部の EDA 関連技術者やユーザーとも交流を深め、日本電子工業全体の発展に大きく貢献することを目指します。

【主な活動予定内容】

- 1. 企業や大学研究機関における EDA 関連情報の整備およびネットワーク作り
- 2. EDA 関連事業の起業支援
- 3. 共同開発、共同受託、事業協力、技術提携の支援
- 4. 特許等知的所有権の相互利用の斡旋
- 5. 産学連携の強化:共同研究開発、新卒採用協力
- 6. 行政との情報交換窓口
- 7. 会報発行

2006 年 1 月 23 日 日本 EDA ベンチャー連絡会



JEVeC 会員名簿(会員番号順)

(2025年05月現在)

| 【正会員】 | URL |
|--------------------------------------|--|
| 株式会社アストロン | http://www.astron.co.jp/ |
| ケイレックス・テクノロジー株式会社 | http://www.keirex.com/ |
| 株式会社ジーダット | http://www.jedat.co.jp/ |
| 株式会社 NTT データ数理システム | http://www.msi.co.jp/ |
| T00L 株式会社 | http://www.tool.co.jp/ |
| 株式会社ジェム・デザイン・テクノロジーズ | http://www.gemdt.com/ |
| 日本コントロールシステム株式会社 | http://www.nippon-control-system.co.jp |
| プロトタイピング・ジャパン株式会社 | http://prototyping-japan.com/ |
| 株式会社 ESL 研究所 | http://www.esl-laboratory.com/ |
| 株式会社 EQN | http://www.eqn.co.jp |
| オーバートーン株式会社 | http://www.overtone.co.jp |
| カミエンス・テクノロジー株式会社 | http://www.kamiens.com |
| 株式会社インターバディ | http://www.interbuddy.co.jp |
| 株式会社 CDC 研究所 | http://www.cdc-lab.com |
| 日本シノプシス合同会社シリコンエンジニアリンググループ日本R&Dセンター | http://www.synopsys.com |
| 株式会社図研 | https://www.zuken.co.jp/ |
| 株式会社ティーツー・ラボラトリ | http://www.t2-laboratory.com/ |
| CMエンジニアリング株式会社 | https://cmengineering.co.jp/ |
| アルデック・ジャパン株式会社 | https://www.aldec.com/jp |
| ベリシリコン株式会社 | https://verisilicon.com/jp/Home |
| 【賛助会員】 | |
| 日本電気株式会社(NEC)ESS 事業センター | http://www.cyberworkbench.com/ |
| 【学術会員】 | |
| 早稲田大学 名誉教授 渡邊 孝博氏 | |
| 中央大学 名誉教授 築山 修治氏 | |
| 神戸大学大学院 科学技術イノベーション研究科 教授 永田 真氏 | http://www.edu.kobe-u.ac.jp/stin-secafy/index.html |
| 高知大学 名誉教授 村岡 道明氏 | http://www.is.kochi-u.ac.jp/~muraoka/ |
| 早稲田大学 名誉教授 後藤 敏氏 | |
| 金沢大学 インタフェースデバイス研究室 教授 秋田 純一氏 | http://ifdl.jp |
| 東京農工大学 名誉教授 北澤 仁志氏 | |
| 東京大学 システムデザインセンター 上席研究員 若林一敏氏 | http://www.dlab.t.u-tokyo.ac.jp/ |
| 【個人会員】 | |
| ワイズ・テクノコンサルティング事務所 山本 節雄氏 | |
| 日本電信電話(株) 先端デバイス研究所 主任研究員 大塚卓哉 | 氏 |
| 札抜宣夫氏 | |
| 水田千益氏 | |



JEVeC について

| 主な活動 ネットワーク作り 四半期毎に会員および関係者を | も参加できる理事会を開 |
|------------------------------|-------------------------|
| 催し、会の活動に関する意見を | 交換および情報交換を行 |
| っています。また、他団体(NI | EDIA や PMJ、JASA 等) |
| との連携や情報交換も行ってV | います。 |
| JEVeC DAY 電子機器の設計技術に関わる力 | j々に対して、JEVeC会員 |
| 企業、および招待企業の技術・ | 製品を紹介し、かつ質 |
| の高い招待講演やチュートリア | [*] ルを無料提供すること |
| によって、業界の情報・意見交 | を換の場を作り、今後の |
| 産業発展に寄与することを目的 | うとして、毎年秋ごろ開 |
| 催しています。 | |
| 総会 毎期5月に全会員が集まって、 | 会の活動報告、活動方 |
| 針を決定する総会および特別講 | 髯演を行っています。 |
| 紹介冊子の発行 会員の事業/製品/サービス/研究 | 内容を紹介する冊子を |
| 発行しています。 | |
| 会員種別 正会員 正会員は、日本国において法人 | 、番号を所有する団体ま |
| たはその団体に所属する部門で | :、本会の趣旨に賛同す |
| るもの | |
| 準会員 正会員の資格条件を満たさない | か正会員から推薦をう |
| け、本会の趣旨に賛同する団体 | Ž |
| 賛助会員 本会の趣旨に賛同する団体およ | び個人 |
| 学術会員本会の趣旨に賛同する大学、企 | 業等の研究機関または |
| 研究者 | |
| 個人会員本会の趣旨に賛同する個人 | |



| | | 1 | | |
|-----------|-----|----|----|------------------------|
| 2025 年度役員 | 会長 | 井上 | 善雄 | (株式会社 CDC 研究所) |
| | 副会長 | 望月 | 俊輔 | (株式会社 NTT データ数理システム) |
| | | 藤田 | 陽子 | (株式会社図研) |
| | 理事 | 中島 | 義弘 | (株式会社アストロン) |
| | | 桑田 | 俊一 | (株式会社ジーダット) |
| | | 中根 | 麻子 | (TOOL 株式会社) |
| | | 中村 | 寿彦 | (日本電気株式会社) |
| | | 加藤 | 心 | (日本シノプシス合同会社) |
| | | 村田 | 洋 | (株式会社ジェム・デザイン・テクノロジーズ) |
| | | 若林 | 一敏 | (東京大学) |
| | | 澤村 | 明寛 | (オーバートーン株式会社) |
| | 監事 | 小篠 | 隆宏 | (ケイレックス・テクノロジー株式会社) |
| | | 札抜 | 宣夫 | |
| | 事務局 | 桑田 | 俊一 | (株式会社ジーダット) |
| | | 本垰 | 秀昭 | (株式会社インターバディ) |

<入会のご案内>

本会にご興味のある方、入会を検討、ご希望される方は下記事務局までご連絡下さい。

事務局 〒104-0043 東京都中央区湊 1-1-12

株式会社ジーダット内 JEVeC(ジェベック)事務局

<u>TEL: 03-6262-8400</u> <u>FAX:03-6262-8408</u>

E-mail: info@jevec.jp



[MEMO]



JEVeC

Japan EDA Venture Consortium

連絡先

(株)ジーダット内 JEVeC 事務局

c/o Jedat Inc.

TEL: 03-6262-8400 FAX: 03-6262-8408

E-mail: info@jevec.jp
URL: http://www.jevec.jp

所在地

〒104-0043

東京都中央区湊 1-1-12 HSB 鐵砲洲

1-1-12, HSB teppouzu, Minato, Chuo-ku,

Tokyo 104-0043 Japan

